

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-034980

(43)Date of publication of application : 05.02.1992

(51)Int.Cl.

H01L 29/784

(21)Application number : 02-142155

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.05.1990

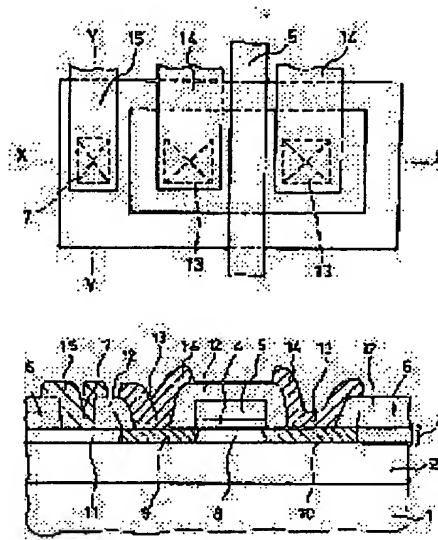
(72)Inventor : YAMAGUCHI YASUO  
NISHIMURA TADASHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To manufacture an SOI-MOSFET in lessened substrate floating effect by a method wherein a part of the insulating film provided for separating the SOI-MOSFET is opened to provide the body contact for leading-out the surplus carrier.

**CONSTITUTION:** The surplus carrier as a hole in this NMOSFET generated by the collision ionization in the high field region at the interface between a channel region 8 and a drain region 10 runs into a well region 11 beneath insulating films 5 for separation passing through the channel region 8 beneath a gate electrode 5. At this time, the surplus carrier is led out of the system since the well region 11 is connected to a wiring layer 15 for body through the intermediary of a body contact 7. Accordingly, the hole can not be accumulated in the channel region 8 so as to lessen the so-called substrate floating effect. Through these procedures, the excellent transistor characteristics such as the restraint of the kink effect causing the constriction in the  $I_d$ - $V_d$  characteristics when the SOI film of an SOI-MOSFET is thicker and the deterioration in the breakdown strength between S/D when the SOI film is thinner can be displayed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-34980

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月5日

H 01 L 29/784

9056-4M

H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-142155

⑰ 出 願 平2(1990)5月30日

⑱ 発 明 者 山 口 泰 男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 西 村 正 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 知 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 絶縁体上の半導体層に形成されたMOSFET半導体装置において、

絶縁体基板上に形成された半導体層と、

該半導体層上に設けられた、誘電体薄膜を挟んで形成されたゲート電極と、

該ゲート電極下に設けられた第1導電型のチャネル領域と、

前記ゲート電極下の前記チャネル領域を挟んで設けられた第2導電型のソース領域およびドレイン領域と、

前記半導体層に設けられた分離用絶縁膜と、

該分離絶縁膜下に設けられた第1導電型のウェル領域と、

前記分離絶縁膜を開口して設けられたボディーコンタクトと、

該ボディーコンタクトに接続されたボディー用

配線層とを含む事の特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁体基板上の半導体層に形成されたMOS(Metal Oxide Semiconductor)型電界効果トランジスタ(以下、「SOI-MOSFET」と略称する)に関し、特に、ソース・ドレイン間の耐圧の改善に関するものである。

(従来の技術)

第5図は従来のSOI-MOSFETの平面図、第6図は従来のSOI-MOSFETの断面図である。シリコン基板1上に絶縁体層2が形成されており、絶縁体層2上にシリコン層3が形成されている。シリコン層3内において、低い、p型不純物濃度(たとえば、 $10^{14}-10^{15}$  atoms/cm)を有するチャネル領域8が形成されており、高いn型不純物濃度(たとえば $10^{17}-10^{18}$  atoms/cm)を有するソース領域9とドレイン領域10がそれぞれチャネル領域8の一方側と他方側に接して形成されている。

チャネル領域8上にはゲート誘電体薄膜4が形成されており、誘電体薄膜4上にゲート電極5が形成されている。シリコン層3とゲート電極5は層間絶縁膜12によって覆われている。層間絶縁膜12にはコンタクトホール13が開けられ、コンタクトホールに対応する導電体14が形成されている。

以上のように構成されたSOI-MOSFETにおいて、ゲート電極5に正の電圧を印加するとき、p型のチャネル領域8の上層部にn導電型のキャリア(電子)が誘引され、その上層部はソース領域9およびドレイン領域10と同じn導電型に反転させられる。したがって、ソース領域9とドレイン領域10との間で電流が流れることが可能となる。また、チャネル領域8の上層部に誘引されるn型キャリアの濃度はゲート電圧によって変化するので、チャネル領域8を流れる電流量をゲート電圧によって制御することができる。これがMOSFETの動作原理である。

〔発明が解決しようとする課題〕

有している。たとえば、その薄いチャネル領域8はゲート電極5に電圧を印加することによって全体が空乏層化され、また電位もゲート電極により制御されるため、電流がゲート電極5により制御できないパンチスルー現象や、ゲート長が短いときにゲートしきい値電圧が異常に低くなるショートチャネル効果が低減される。

しかし、チャネル領域8全体が完全に空乏層化されるとき、チャネル領域8内のポテンシャルが通常のMOSFETにおける場合より高くなる。したがって、ソース領域9とチャネル領域8の間の電氣的障壁が低くなる上、前述の衝突電離によって生じた正孔がチャネル領域8内に一時的に蓄積されれば、チャネル領域8内のポテンシャルがさらに上昇し、ソース領域9からチャネル領域8内に電子が急激に注入される。すなわち、薄膜SOI-MOSFETにおいては、ソース・ドレイン間の耐圧が低くなりやすいという問題がある。これは第7図に示されている。SOI層の厚い場合のキंक効果及び薄い場合のソ

シリコン層が比較的厚い(たとえば、約5000Å厚さ)場合、ゲート電圧を印加してSOI-MOSFETを動作状態にすると、チャネル領域8内でキャリアが高速に加速される。チャネル領域8内で加速されたキャリアはドレイン領域10の近傍で衝突電離によって電子と正孔のペアを発生させる。この発生した電子はn型のドレイン領域10に流れ込む。しかし、正孔はチャネル領域8内に蓄積されて電位を上昇させるので、チャネル電流を増加させ、ドレイン電圧とドレイン電流の関係を表す曲線上に好ましくないキंक効果を生じさせる。このキंक効果は、たとえばアイイーイーエレクトロニクス レター 第9巻№2, 97-99頁1988 (IEEE Electron Device Letter, Vol.9, No.2, pp. 97-99, 1988)において述べられている。

一方、非常に薄い(たとえば、500Å-1500Åの厚さ)シリコン層3を有する薄膜SOI-MOSFETは、厚いシリコン層3を有する通常のSOI-MOSFETに比べて優れた特性を

ソース・ドレイン間の耐圧の低下は共にチャネル領域が電氣的に浮いている事(基板浮遊効果という)が原因である。

以上のような従来の問題点に鑑み、本発明の目的は、基板浮遊効果が改善されたSOI-MOSFETを提供することにある。

〔課題を解決するための手段〕

本発明にかかるMOSFET半導体装置は、SOI-MOSFETの分離用に設けた絶縁膜を一部開口して余剰キャリア引き抜き用のボディーコンタクトを設けたものである。

〔作用〕

この発明における分離用絶縁膜に設けられたボディーコンタクトはトランジスタのチャネル領域で発生した余剰キャリアがウエル領域を運ってボディーコンタクト部より引き抜かれる。このため、基板浮遊効果によるS/D耐圧の低下あるいはキंक効果の発生を抑えることができる。

〔実施例〕

第1図は本発明の一実施例によるSOI-MO

S F E Tの平面図、第2図は第1図のX-X断面図、第3図はY-Y断面図である。

本実施例においては、以下の点を除き、従来の半導体装置と同様であるので同一番号を付し、その説明を省略する。S O I - M O S F E Tの分離用として分離用絶縁膜6を用いてあり、分離用絶縁膜6下には、チャネル領域と同一導電型のP型の不純物が、例えば $10^{18} \sim 10^{19} \text{ atoms/cm}^3$ 導入されたウエル領域11が形成されている。

また、分離用絶縁膜6の一部は開口されてボディコンタクト7を介してボディー用配線層15が接続されている。

次に動作について説明する。

チャネル領域8とドレイン領域10の境界の高電界領域での衝突電離により発生した余剰キャリア、ここではN M O S F E Tであるので正孔は、ゲート電極5下のチャネル領域8を通過して分離用絶縁膜6下のウエル領域11に流れる。ここで、ウエル領域11はボディーコンタクト7を介してボディー用配線層15が接続されているためこ

より系外に引き抜かれる。

したがって、チャネル領域8に正孔が蓄積する事が無くなり、いわゆる、基板浮遊効果が低減される。

よってS O I - M O S F E TのS O I膜厚が厚い時に見られた $I_d - V_d$ 特性にくびれが生ずるキंक効果やS O I膜厚が薄い時に見られたS/D間耐圧の低下が抑えられ、第4図に示す様な優れたトランジスタ特性が得られる。

また、ボディーコンタクト7は複数のトランジスタに共通して設ければよく、面積の増加はほとんど必要としない。

なお、上記実施例ではN M O S F E Tについて述べたが、P M O S F E Tでも導電性が逆になるだけで、同様の効果が得られる。

また、上記実施例では半導体層としてシリコン層を用いたが、いずれの半導体材料を用いても同様の効果が得られるのは言うまでもない。

(発明の効果)

以上のように、この発明によればS O I - M O

S F E Tにおいてトランジスタの分離に分離用絶縁膜を用い、さらに、分離用絶縁膜を貫通してウエル領域にボディーコンタクトを設けたため、トランジスタのゲート電極下のチャネル領域で発生した余剰キャリアを引き抜く事が可能で基板浮遊効果によるキंक効果、S/D間耐圧の低下に対してこれを改善できる効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例による半導体装置を示す平面図、第2図は第1図のX-X断面図、第3図は第1図のY-Y断面図、第4図は本発明の一実施例による半導体装置による薄膜S O I - M O S F E Tの $I_d - V_d$ 特性図、第5図は従来の半導体装置を示す平面図、第6図は第5図のA-A断面図、第7図は従来の薄膜S O I - M O S F E Tの $I_d - V_d$ 特性図である。

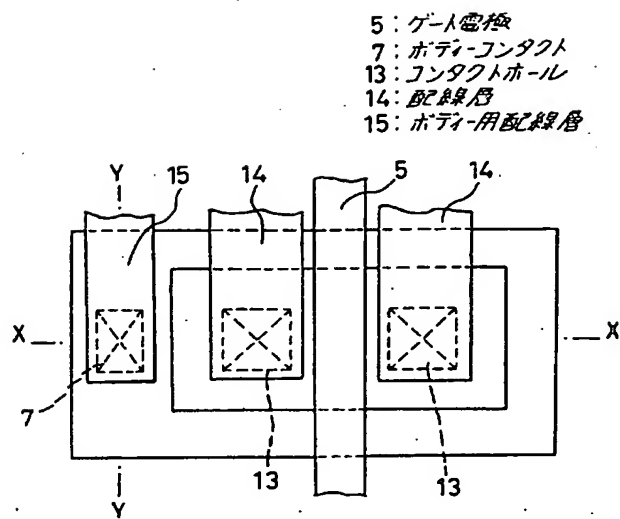
図において、1はシリコン基板、2は絶縁体層、3はシリコン層、4は誘電体薄膜、5はゲート電極、6は分離用絶縁膜、7はボディーコンタクト、8はチャネル領域、9はソース領域、10はドレ

イン領域、11はウエル領域、12は層間絶縁膜、10はドレイン領域、11はウエル領域、12は層間絶縁膜、13はコンタクトホール、14は配線層、15はボディー用配線層。

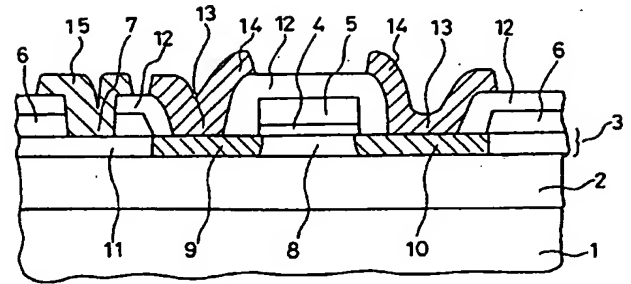
なお、図中、同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

第 1 図

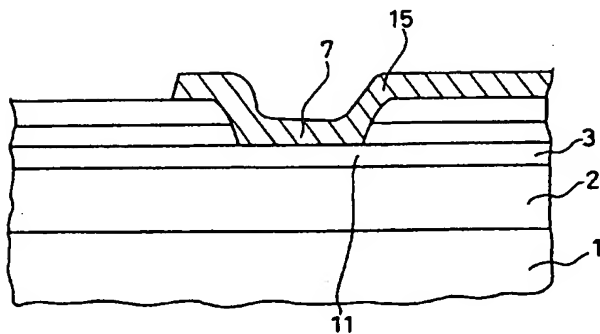


第 2 図

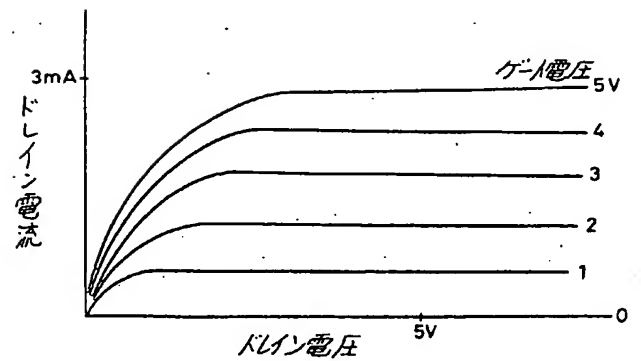


- 1: シリコン基板
- 2: 絶縁体層
- 3: シリコン層
- 4: 誘電体薄膜
- 5: ゲート電極
- 6: 分離用絶縁膜
- 7: ボディーコンタクト
- 8: チャンネル領域
- 9: ソース領域
- 10: ドレイン領域
- 11: ウェル領域
- 12: 后層絶縁膜
- 13: コンタクトホール
- 14: 配線層
- 15: ボディー用配線層

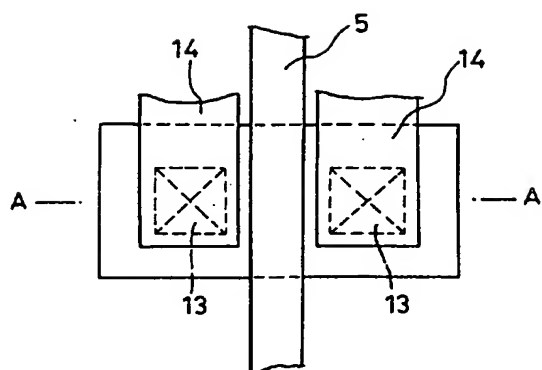
第 3 図



第 4 図

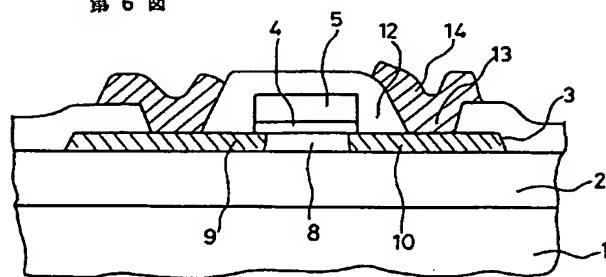


第 5 図



- 5: ゲート電極
- 13: コンタクトホール
- 14: 配線層

第 6 図



- 1: シリコン基板
- 2: 絶縁体層
- 3: シリコン層
- 4: 誘電体薄膜
- 5: ゲート電極
- 8: チャネル領域
- 9: ソース領域
- 10: ドレイン領域
- 12: gate 絶縁膜
- 13: コンタクトホール
- 14: 配線層

第 7 図

